

#2

Docket No.: 49657-625

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
Takayuki SHINOHARA, et al. :  
Serial No.: : Group Art Unit:  
Filed: February 28, 2000 : Examiner:  
For: MEMORY SYSTEM FOR PORTABLE TELEPHONE



**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents  
Washington, DC 20231

Sir:

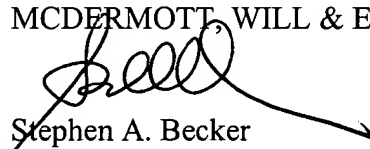
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 11-195797,  
filed July 9, 1999

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:klm  
**Date: February 28, 2000**  
Facsimile: (202) 756-8087

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

McDermott, Will & Emery

49657-625

FIR. 28, 2000

SH/NOI+ARNetel

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

出 願 年 月 日  
Date of Application:

1999年 7月 9日

出 願 番 号  
Application Number:

平成11年特許願第195797号

出 願 人  
Applicant(s):

三菱電機株式会社

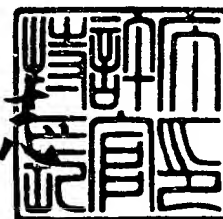


CERTIFIED COPY OF  
PRIORITY DOCUMENT

1999年 7月19日

特許庁長官  
Commissioner,  
Patent Office

伴佐山 建



出証番号 出証特平11-3051296

【書類名】 特許願

【整理番号】 518516JP01

【提出日】 平成11年 7月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H04M 1/65

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 篠原 隆幸

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 木村 正俊

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091395

【弁理士】

【氏名又は名称】 吉田 博由

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 携帯電話のメモリシステム

【特許請求の範囲】

【請求項 1】 信号を送受信するための信号送受信部と、少なくとも前記送受信部の信号送受信動作を制御するための制御部とを含む携帯電話のメモリシステムであって、

前記制御部のための作業領域を与えるランダム・アクセス・メモリ、および前記制御部のためのプログラムおよび前記制御部の制御の下に少なくとも送受信データを不揮発的に格納するためのファイルストレージ用フラッシュメモリを備える、携帯電話のメモリシステム。

【請求項 2】 前記ランダム・アクセス・メモリおよび前記ファイルストレージ用フラッシュメモリは、前記制御部および前記信号送受信部を相互接続する内部バスに結合される、請求項 1 記載の携帯電話のメモリシステム。

【請求項 3】 前記ファイルストレージ用フラッシュメモリと前記内部バスとの間に接続され、前記ファイルストレージ用フラッシュメモリに対するインタフェース回路として機能するバス変換回路をさらに備える、請求項 2 記載の携帯電話のメモリシステム。

【請求項 4】 前記ファイルストレージ用フラッシュメモリと前記バス変換回路は、前記携帯電話に着脱可能なメモリカードに一体化される、請求項 3 記載の携帯電話のメモリシステム。

【請求項 5】 前記ファイルストレージ用フラッシュメモリは、前記バス変換回路に着脱可能なメモリカードで構成される、請求項 3 記載の携帯電話のメモリシステム。

【請求項 6】 前記制御部、前記ランダム・アクセス・メモリおよび前記ファイルストレージ用フラッシュメモリは、制御ユニットとして一体的に形成される、請求項 1 記載の携帯電話のメモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、携帯電話のメモリシステムに関し、特に大容量のデータ信号を記憶することのできる携帯電話のメモリシステムに関する。

【0002】

【従来の技術】

図15は、従来の携帯電話の構成を概略的に示す図である。図15において、従来の携帯電話は、アンテナ1を介して高周波信号を送受信するための高周波回路2と、この高周波回路2に結合され、基本周波数における変調等の処理を行なうベースバンド処理回路3と、ベースバンド処理回路3に結合され、送受信信号の符号化／復号化などの音声信号の処理を行なうCODEC（コーダ／デコーダ）回路5を含む信号処理部4と、信号処理部4からの再生音声信号を出力するスピーカ7と、信号処理部4に送信音声信号を入力するためのマイク6を含む。

【0003】

高周波回路2は、増幅回路を含み、送信時、ベースバンド処理回路3から与えられた信号を増幅して、アンテナ1を介して送信し、また受信時には、このアンテナ1を介して与えられる高周波信号から所定の周波数帯域の信号を抽出する。

【0004】

ベースバンド処理回路3は、信号処理部4から与えられる送信符号化信号の基本周波数における変調等を行ない、また高周波回路2から与えられた高周波信号から基本周波数領域の信号を復調（伸長）する。

【0005】

信号処理部4は、音声の符号化および復号化を行なう符号／復号化回路（CODEC）5を含み、送信時にはマイク6から入力された音声信号を符号化し、また受信時にはベースバンド処理回路3から与えられた音声信号を復号化して、スピーカ7を介して出力する。

【0006】

従来の携帯電話は、さらに、内部バス9に結合され、必要な情報を入力するキーパッド10と、内部バス9に結合され、ベースバンド処理回路3、信号処理部4、およびキーパッド10の動作を制御するための制御部（MPU：マイクロプロセサユニット）8と、この制御部8の動作を制御するプログラムを格納する読

出専用メモリとして利用されるリニアフラッシュメモリ 11 と、制御部 8 の種々の処理の作業領域として使用されるランダム・アクセス・メモリ (RAM) 12 を含む。

【0007】

キーパッド 10 は、テンキーおよびオンフックキー等を含み、必要な情報を入力する。

【0008】

リニアフラッシュメモリ 11 は、ランダムアクセス可能な不揮発性メモリである。次に、この図 15 に示す携帯電話の動作について、本発明に関連のあるメモリシステムに重点をおいて説明する。

【0009】

リニアフラッシュメモリ 11 には、制御部 8 のための命令コードの他、この携帯電話を使用するユーザ固有のデータ (電話帳) および課金・接続情報または音声データ (留守録機能) を格納するために、8-32Mb (メガビット) のメモリが使用される。

【0010】

キーパッド 10 を操作して、送信または受信を行なう通信モードに入ると、制御部 8 は、リニアフラッシュメモリ 11 に格納されたプログラムに従って制御動作を行ない、信号処理部 4 およびベースバンド処理回路 3 がそれぞれ制御部 8 の制御のもとに所定の処理動作を行ない、音声信号の送信または受信 (音声通報) が実行される。

【0011】

制御部 8 の動作時、リニアフラッシュメモリ 11 に格納された命令コードに従って制御部 8 は、各種処理を実行する。リニアフラッシュメモリ 11 は、ランダムアクセス可能であり、かつ比較的高速であり、制御部 8 が必要とする命令コード (処理プログラム) をリニアフラッシュメモリ 11 に格納することにより、制御部 8 は、高速で指定された処理を実行することができる。また、リニアフラッシュメモリ 11 は、不揮発性メモリであり、読出専用メモリ (ROM) として制御部 8 の必要とするプログラムおよび書換え可能なユーザ固有情報等を記憶する

ことができる。

【0012】

ランダム・アクセス・メモリ（RAM）12は、高速メモリであり、制御部8の処理動作時、高速でデータの授受およびデータの一時退避処理を制御部8と行なう。

【0013】

【発明が解決しようとする課題】

リニアフラッシュメモリ11は、単一電源電圧および低電圧電源で動作可能であり、またランダムにアクセスすることができる。このリニアフラッシュメモリには、メモリセル構造として、NOR型セル、およびDINOR（ディバイディッド・ビットラインNOR）型セルがある。

【0014】

図16は、リニアフラッシュメモリのアレイ部の構成を概略的に示す図である。図16においては、リニアフラッシュメモリの代表例として、NOR型フラッシュメモリのアレイ構造を示す。図16において、行列状にメモリセルMCが配置される。メモリセルMCの各行に対応してワード線WL（WL0-WLm）が配置される。メモリセルMCの各列に対応してビット線BLが配置される。図16においては、1列に整列して配置されるメモリセルMCに対して設けられるビット線BLを代表的に示す。メモリセルMCのドレインは、コンタクトを介してビット線BLに接続され、ソースはソース線SLに接続される。

【0015】

一般に、フラッシュメモリにおいて、メモリセルMCは、コントロールゲートとフローティングゲートとを有する2層ゲート構造の1つのMOSトランジスタで構成される。したがって、1つのメモリセルMCが1トランジスタで構成されるため、ビット単価が低く、高密度高集積化が可能であるという利点を有している。しかしながら、図16に示すNOR型フラッシュメモリにおいては、メタル配線で形成されるビット線BLが直接コンタクトを介してメモリセルトランジスタのドレインに接続される構造を有しているため、このメモリセルとビット線との接続のためのコンタクトホールが2つのメモリセルに対し1個の割合で必要と

なり、高集積化の妨げとなっている。

【0016】

このNOR型フラッシュメモリの書込動作は、ワード線（コントロールゲート）WLに高電圧（10数ボルト）を印加し、ソース線SLを接地電圧に設定し、ビット線BLに数ボルトを印加して、このメモリセルトランジスタのチャネル領域に電流を流す。このチャネル電流が、ドレイン高電界により加速されてホットエレクトロンとなり、フローティングゲートに注入される。このフローティングゲートへの電子の注入により、メモリセルトランジスタのしきい値電圧が上昇し、書込が行なわれる。ホットエレクトロンの注入により書込を行なうため、書込時メモリセルに電流を流す必要があり、したがって、通常、消費電流の観点から、バイト単位での書込が行なわれる。

【0017】

一方、消去動作時には、数K-64Kバイトのブロック単位のセルに対してワード線（コントロールゲート）に0V、ソース線SLに約10Vを印加する。ビット線BLはフローティング状態に設定される。この状態において、ファウラーノルドハイムトンネリング現象により、フローティングゲートからソースにトンネリング電流が流れ、フローティングゲートから電子が引き抜かれ、メモリセルトランジスタのしきい値電圧が低下する。

【0018】

上述のように、NOR型フラッシュメモリにおいては、書込はバイト単位で可能であるものの、消去動作は、ソース線SLが共通に設けられているブロック単位で実行され、たとえば64Kバイトの記憶容量のブロック単位で消去が実行される。したがって、ある書込データを書換える場合、そのデータを含むブロックに対し消去を行なう必要がある。このため、消去対象ブロック内の有効データを、一旦、ランダム・アクセス・メモリ（RAM）12に一時的に退避させる必要がある。この退避ブロックは、たとえば64Kバイトの記憶容量を有しており、この書換のための一時退避用のメモリの記憶容量が大きくなるという問題がある。また、この有効データのみを一時的に退避させることにより、有効データ領域を管理する必要があり、メモリ管理が煩雑になるという欠点がある。

## 【0019】

また、このリニアフラッシュメモリは、アクセス時間が70ns（ナノセカンド）-120ns程度と、制御部8の動作速度に比べてそのアクセス時間が長い。この制御部8が、たとえばW-CDMA（広帯域符号分割多元接続）方式などの高速通信モードで動作する場合、リニアフラッシュメモリ11へのアクセス（命令コードの読出）に長時間を要し、高速処理を行なうことができなくなるという問題が生じる。

## 【0020】

また、このリニアフラッシュメモリがNOR型フラッシュメモリで構成される場合、図16に示すように、2個のメモリセルMCに対しビット線BLへのコンタクトを設ける必要があり、高集積化にも限度がある。したがって、高速通信サービスでの大量のデータを格納するために記憶容量を大きくした場合、そのチップ面積が比較的大きくなり、コストの増加および携帯電話の小型化に対する障害となるという問題があった。

## 【0021】

それゆえ、この発明の目的は、コストおよび実装面積を増加させることなく大量の音声信号／データを記憶することのできる携帯電話用のメモリシステムを提供することである。

## 【0022】

この発明の他の目的は、高速でデータ転送を行なうことのできる携帯電話のためのメモリシステムを提供することである。

## 【0023】

## 【課題を解決するための手段】

この発明は、要約すれば、リニアフラッシュメモリに代えて、ファイルストレージ用フラッシュメモリを利用するものである。

## 【0024】

すなわち、請求項1に係る携帯電話のメモリシステムは、信号送受信部の送受信動作を制御するための制御部の作業領域を与えるランダム・アクセス・メモリと、制御部のためのプログラムコードおよび制御部の制御の下に少なくとも送受

信データを不揮発的に格納するためのファイルストレージ用フラッシュメモリを備える。

【0025】

請求項2に係る携帯電話のメモリシステムは、請求項1のランダム・アクセス・メモリおよびファイルストレージ用フラッシュメモリが、制御部および信号送受信部を相互接続する内部バスに結合される。

【0026】

請求項3に係る携帯電話のメモリシステムは、請求項2の携帯電話のメモリシステムが、さらに、ファイルストレージ用フラッシュメモリと内部バスとの間に接続され、このファイルストレージ用フラッシュメモリに対するインタフェース回路として機能するバス変換回路を備える。

【0027】

請求項4に係る携帯電話のメモリシステムは、請求項3のファイルストレージ用フラッシュメモリとバス変換回路が、この携帯電話に着脱可能なメモリカードに一体化される。

【0028】

請求項5に係る携帯電話のメモリシステムは、請求項3のファイルストレージ用フラッシュメモリは、バス変換回路に着脱可能なメモリカードで構成される。

【0029】

請求項6に係る携帯電話のメモリシステムは、請求項1の制御部、ランダム・アクセス・メモリおよびファイルストレージ用フラッシュメモリが、制御ユニットとして一体的に形成される。

【0030】

ファイルストレージ用フラッシュメモリは、NAND型フラッシュメモリまたはAND型フラッシュメモリで構成され、リニアフラッシュメモリに比べて高速アクセス可能でありかつメモリセルの占有面積が小さく、大記憶容量のメモリを占有面積を増大させることなく実現することができる。

【0031】

【発明の実施の形態】

## 〔実施の形態 1〕

図 1 は、この発明において利用されるファイルストレージ用フラッシュメモリである AND 型フラッシュメモリのアレイ部の構成を概略的に示す図である。この AND 型フラッシュメモリのアレイ部は、行列状に配列されるメモリセル MC を含む。メモリセル MC は、NOR 型フラッシュメモリと同様、コントロールゲートおよびフローティングゲートの 2 層ゲート型 MOS トランジスタで構成される。メモリセルの行に対応してワード線 WL (WL0…WLm) が配置され、メモリセル MC の列に対応してメインデータ線 MDL が配置される。1 列に整列するメモリセル MC は所定数ごとにメモリユニット (AND ユニット) に分割される。この 1 つの AND ユニットのメモリセルに対し、サブデータ線 SDL およびサブソース線 SSL が配置される。これらのサブデータ線 SDL およびサブソース線 SSL は、それぞれ拡散層で構成され、メモリセル MC のドレインおよびソースをそれぞれ共通に接続する。サブデータ線 SDL は、ドレイン側選択トランジスタ ST1 を介してメインデータ線 MDL に接続され、サブソース線 SSL はソース側選択トランジスタ ST2 を介してメインソース線 SSL に接続される。ドレイン側選択トランジスタ ST1 およびソース側選択トランジスタ ST2 は、それぞれ、選択信号  $\phi DS$  および  $\phi SS$  に応答して導通する。

## 【0032】

この図 1 に示す AND 型フラッシュメモリにおいて、消去動作はワード線 WL に消去電圧を印加し、メモリセル MC のソースおよびドレインをフローティング状態に設定する。基板領域は接地電圧レベルに設定されている。この状態においては、基板領域 (ウェル) からフローティングゲートへ FN (ファウラー-ノルドハイム) トンネリング電流が流れ、メモリセルトランジスタのしきい値電圧が高くなる。

## 【0033】

一方、書込動作時には、サブソース線 SSL をフローティング状態に設定し、サブデータ線 SDL に所定の書込電圧を印加し、コントロールゲート (ワード線) に別の書込電圧を印加する。この状態においては、フローティングゲートからドレインに FN トンネリング電流が流れ、フローティングゲートの電子が

放出され、このメモリセルトランジスタのしきい値電圧が低下する。

【0034】

AND型フラッシュメモリにおいては、サブデータ線SDLとサブソース線SSLの間に並列にメモリセルMCが接続され、図16に示すNOR型フラッシュメモリと同様の並列接続構成である。しかしながら、このAND型フラッシュメモリにおいては、サブデータ線SDLおよびサブソース線SSLは、前述のごとく、拡散層で形成されており、メモリセルMCとサブデータ線SDLおよびサブソース線SSLの間のコンタクトは存在せず、「擬似コンタクトレス構造」が採用されている。単に、ドレイン側選択トランジスタST1をメインデータ線MDLに接続するためのコンタクトが必要とされるだけであり、したがって、コンタクト領域の面積がNOR型フラッシュメモリに比べて大幅に低減され、より高い集積度を得ることができる。

【0035】

また、AND型フラッシュメモリにおいては、データ線およびソース線両者が階層化されている。サブデータ線SDLおよびサブソース線SSLがそれぞれ、ドレイン側選択トランジスタST1およびソース側選択トランジスタST2を介してメインデータ線MDLおよびメインソース線MSLに接続される。したがって、選択されるメモリセルユニット（ANDユニット）とデータ線とを完全に1対1の関係にすることができ、たとえばワード線単位での書込および消去を行なうことが可能となり、書込および消去の単位を完全に一致させることができ（ディスターブの影響が生じない）、小ブロックサイズ（512バイト〜2Kバイト）での書込および消去を実現することが可能となる。

【0036】

また、AND型フラッシュメモリにおいては、メモリセルMCが並列に接続されており、データ読出時メインデータ線MDLにおいて1つのメモリセルMCを介して電流が流れるだけであり、この読出電流を十分大きくすることができ、高速でランダム読出を行なうことができる。

【0037】

さらに、AND型フラッシュメモリにおいては、メモリセルMCのしきい値電

圧を複数レベルに設定し、1つのセルに2ビットの情報を格納する多値セル技術が他の方式のフラッシュメモリに先行して実現されており、チップ面積を増大させることなく記憶容量を、たとえばリニアフラッシュメモリの4-8倍に大きくすることができる。

## 【0038】

図2は、ファイルストレージ用フラッシュメモリの構成を概略的に示す図である。図2において、メモリアレイは、複数のセクタS#0-S#Nに分割される。これらのセクタS#0-S#Nに共通に、データレジスタDRが設けられる。このデータレジスタDRは、1セクタS#のデータを格納することができる。データレジスタDRは、クロック信号SCに従ってデータの入出力を実行する。セクタアドレスSAに従って選択されたセクタS#（図2においてはセクタS#I）のデータがデータレジスタDRに伝達される。データレジスタDRにおいては、図示しないコラムアドレス信号CAが指定する位置から、クロック信号SCに従ってデータがシリアルに読出される。したがって、先頭データの読出には時間がかかるものの、以降は、クロック信号SCに従ってデータの読出が行なわれるため、高速の読出が可能となる。図1および図2に示すファイルストレージ用フラッシュメモリを、本発明においては利用する。

## 【0039】

図3は、この発明の実施の形態1に従う携帯電話の構成を概略的に示す図である。図3において、この発明の実施の形態1に従う携帯電話は、アンテナ1を介してデータ信号および音声信号の送受信を行なうための高周波回路2と、この高周波回路2に結合され、基本周波数における変調等の処理を行なうベースバンド処理回路3と、音声信号の符号化／復号化および受信データ信号の伸長処理などの必要な処理を行なう信号処理部4と、信号処理部4からの再生音声信号を出力するスピーカ7と、音声信号を入力して信号処理部4へ与えるマイク6を含む。

## 【0040】

この発明に従う携帯電話においては、携帯用情報端末機器として利用するため、プロバイダから与えられる音声データ信号および画像データ信号を受信する。信号処理部4には、通常のマイク6およびスピーカ7を介して入出力される音声

信号の符号および復号処理を行なうための符号／復号化回路（CODEC）5に加えて、このインターネットからの情報を伸長処理して再生するための伸長回路14が設けられる。伸長回路14は、ディスプレイ15およびオーディオ出力端子16に結合される。オーディオ出力端子16には、ヘッドフォン17が接続される。すなわち、文字／画像データは、ディスプレイ15上に表示され、また音楽等の音声データが、オーディオ出力端子16を介して出力される。

## 【0041】

この発明に従う携帯電話は、さらに、操作情報等を入力するためのキーパッド10と、このキーパッド10から与えられる情報に従って必要な処理を行なう制御部（MPU）8と、この制御部8の種々の処理の実行時における作業領域として使用されるランダム・アクセス・メモリ（RAM）12と、画像および音楽データ等のインターネット情報を格納するとともに、制御部8の動作を制御するためのプログラム情報を格納するファイルストレージ用フラッシュメモリ13を含む。キーパッド10、制御部8、ランダム・アクセス・メモリ12、ファイルストレージ用フラッシュメモリ13、ベースバンド処理回路3および信号処理部4が、内部バス9に結合される。

## 【0042】

制御部8は、内部にマスクROM（読出専用メモリ）18を含み、電源投入時における動作を制御するためのパワーオンリセット処理プログラムをこのROM18に格納する。

## 【0043】

図4は、ファイルストレージ用フラッシュメモリ13のデータ格納領域を概略的に示す図である。図4において、ファイルストレージ用フラッシュメモリ13は、制御部8の固有のプログラム情報を格納するための記憶領域BK#0と、追加機能などを実現するためのプログラム情報を格納するための記憶領域BK#1と、携帯電話機を使用する個人ユーザの固有情報を格納するための記憶領域BK#2と、インターネットからの大量のデータなどを格納するための自由記憶領域BK#3を含む。記憶領域BK#0においては、OS等の必要最小限のプログラム情報が格納される。

【0044】

記憶領域BK#1におけるプログラム情報は、たとえば携帯電話メーカーが、携帯電話機の追加機能を実現するためのアプリケーションプログラムなどを含む。記憶領域BK#2に記憶される個人固有情報としては、個人ユーザの登録電話番号（電話帳）、課金および接続情報がある。記憶領域BK#3は、比較的大きな記憶容量を有し、たとえば、インターネットのプロバイダからの画像データおよび音声データ等を格納する。

【0045】

このファイルストレージ用フラッシュメモリ13は、高速ランダム読出しが可能であるものの、実質的にシリアルアクセスメモリである。この携帯電話機における処理においては、命令および演算処理などの実行時に、ワーキングエリアとしては、たとえばSRAM（スタティック・ランダム・アクセス・メモリ）で構成されるRAM12を用いるため、特に、このファイルストレージ用フラッシュメモリ13を利用しても、そのシリアルアクセスが処理動作に大きな影響を及ぼすことはない。次に、動作について簡単に説明する。

【0046】

図3に示す携帯電話が、キーパッド10に含まれる電源キーの操作により電源投入されると、制御部8は、マスクROM18に格納されたパワーオンリセット処理ルーチンを実行する。このパワーオンリセット処理においては、内部バス9に接続される各機能ブロック（ベースバンド処理回路および信号処理部3等）の自己診断処理と、ファイルストレージ用フラッシュメモリ13に格納される制御部8の動作を制御するためのソフトウェアコード（図4に示す記憶領域BK#0またはBK#1に格納されるプログラム）のランダム・アクセス・メモリ（RAM）12への転送処理とが実行される。

【0047】

このパワーオンリセット処理により、ソフトウェアコードのファイルストレージ用フラッシュメモリ13からランダム・アクセス・メモリ12への転送処理が終了すると、それ以降、制御部8は、このランダム・アクセス・メモリ12を命令メモリとして用いて、処理を実行する。たとえばキーパッド10から入力され

る操作指示または基地局からのフレーム受信データに従って、このランダム・アクセス・メモリ 12 からソフトウェアコードを順次読出して、要求された各種処理を実行する。

【0048】

ランダム・アクセス・メモリ 12 は、たとえば S R A M であり、リニアフラッシュメモリのアクセス時間よりも数倍程度高速であり、従来のようにリニアフラッシュメモリを命令メモリとしてソフトウェアコードの読出実行を行なう場合に比べて、この制御部 8 の処理速度を高くすることができる。また、このファイルストレージ用フラッシュメモリ 13 は、シリアルアクセスメモリであり、クロック信号に従ってデータ（ソフトウェアコード）を逐次読出すことができ、ファイルストレージ用フラッシュメモリ 13 からランダム・アクセス・メモリ（R A M）12 へのデータ転送も高速で行なうことができる。

【0049】

また、ランダム・アクセス・メモリ 12 へソフトウェアコードを転送して、制御部 8 の命令メモリとしてこのランダム・アクセス・メモリ 12 を利用しているため、何らこのファイルストレージ用フラッシュメモリ 13 のシリアルアクセス動作が、プログラム実行時に生じるランダムアクセスに対して悪影響は及ぼさない（ランダム・アクセス・メモリ 12 がそのランダムアクセス動作を受け持つため）。

【0050】

通常の通話時においては、制御部（M P U）8 の制御の下に、アンテナ 1 および高周波回路 2、信号処理部 4 に含まれる符号／復号化回路（C O D E C）5 により復号化され、再生アナログ音声信号が生成され、スピーカ 7 から出力される。一方、送信すべき音声信号は、マイク 6 から信号処理部 4 の符号／復号化回路（C O D E C）5 へ与えられ、所定のフォーマットに従った符号化処理が行なわれて、送信データ（デジタル信号）に変換された後、ベースバンド処理回路 3 により所定の変調処理等が行なわれ、次いで高周波回路 2 に含まれる増幅器で増幅された後アンテナ 1 を介して送出される。また、一時、音声信号を蓄積した後、所定の時間経過後送信する場合のこの音声信号は信号処理部 4 を経てストレージ

ファイル用フラッシュメモリ 13 に格納される。

【0051】

インターネット接続等のデータ通信時においては、キーパッド 10 からの入力情報および基地局からの伝送制御信号に従って、制御部 8 が、ストレージファイル用フラッシュメモリ 13 に格納された所定のアプリケーションまたは制御コードをランダム・アクセス・メモリ 12 に読出して、必要な処理を適宜実行する。インターネットのプロバイダから与えられる画像または音楽等の受信データは、必要な場合（たとえば、後で画像再生する場合）、信号処理部 4 を介して一旦ランダム・アクセス・メモリ 12 に格納される。このランダム・アクセス・メモリ 12 へのデータ格納時には、受信データそのままの圧縮データとして格納される。ランダム・アクセス・メモリ 12 に格納された後、順次、ファイルストレージ用フラッシュメモリ 13 に受信データが格納される。ファイルストレージ用フラッシュメモリ 13 に格納（ダウンロード）された画像および音楽等の圧縮データ（インターネット情報）は、必要なときに信号処理部 4 へ与えられ、伸長回路 14 により伸長処理が施され、圧縮データが元の再生データに変換される。この伸長回路 14 からの再生データは、画像データ（文字データを含む）の場合には、ディスプレイ 15 上に表示され、音声データの場合には、オーディオ出力端子 16 に接続されるヘッドフォン 17 により再生される。

【0052】

インターネットのプロバイダから与えられるデータは、画像データおよび音声データいずれも、時系列的なデータである。ランダム・アクセス・メモリ（RAM）12 に一旦受信データを格納することにより、インターネットからのデータ伝送速度に従ってランダム・アクセス・メモリ（RAM）12 にデータを格納することができる。すなわち、ランダム・アクセス・メモリ 12 を、ファイルストレージ用フラッシュメモリ 13 の動作速度とインターネットからのデータの伝送速度の調整を行なうためのバッファメモリとして利用する。ランダム・アクセス・メモリ 12 からファイルストレージ用フラッシュメモリ 13 へは、受信データ（基地局からの伝送制御信号）に従ってシリアルにデータが格納される。ファイルストレージ用フラッシュメモリ 13 は、シリアルアクセス時高速で、データの

書込を行なうことができる。ランダム・アクセス・メモリ 12 は、単にバッファメモリとして利用されるだけであり、大きな記憶容量は要求されない。

#### 【0053】

以上のように、実施の形態 1 においては、ビット単価の低い大記憶容量のファイルストレージ用フラッシュメモリ 13 が制御部 8 に接続される。このファイルストレージ用フラッシュメモリ 13 に、制御部 8 の制御用ソフトウェアコードを格納する。電源投入時のパワーオンリセット処理時に、このファイルストレージ用フラッシュメモリ 13 から高速アクセス可能なランダム・アクセス・メモリ 12 へ、制御部 8 の制御ソフトウェアコードを転送する。この後、制御部 8 が、ランダム・アクセス・メモリ 12 から制御ソフトウェアコードを読み出しながら、必要な処理を実行する。一方、インターネット接続時等のように大容量のデータ受信時には、必要な場合は、ランダム・アクセス・メモリ 12 をバッファメモリとして利用して、ファイルストレージ用フラッシュメモリ 13 へ受信データを格納している。したがって、制御部 8 は、高速のランダム・アクセス・メモリ 12 へアクセスして処理を実行することにより、高速処理が可能となり、また画像および音楽等の大容量の受信データを受信することができるインターネット端末として使用可能な携帯電話装置を安価に実現することができる。

#### 【0054】

##### 〔実施の形態 2〕

図 5 は、この発明の実施の形態 2 に従う携帯電話の構成を概略的に示す図である。この図 5 に示す携帯電話においては、ファイルストレージ用フラッシュメモリ 13 は、バス変換回路 19 を介して内部バス 9 に結合される。他の構成は、図 3 に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

#### 【0055】

このバス変換回路 19 は、内部バス 9 上におけるアドレスバスおよび制御バスを、ファイルストレージ用フラッシュメモリ 13 に適したバス形式に変換する。

#### 【0056】

図 6 (A) は、ファイルストレージ用フラッシュメモリの外部端子の構成を概

略的に示す図である。図6（A）において、このファイルストレージ用フラッシュメモリは、制御信号を受ける制御信号端子群21と、データおよびアドレス信号を受けるデータ／アドレス信号端子群22を含む。制御信号端子群21には、チップイネーブル信号、出力イネーブル信号およびライトイネーブル信号およびコマンドイネーブル信号などの信号が与えられる。ファイルストレージ用フラッシュメモリ13においては、動作モードはコマンドの形で与えられる。図6（B）に示すように、端子群22へはコマンドが与えられて動作モードが指定される。次いで、端子群22へのセクタアドレスSA1およびSA2により、アクセスすべきセクタが指定される。次いで、データ書込時には端子群22に書込データが与えられ、またデータ読出時には、読出データが端子群22から出力される。このとき、シリアルアクセスの先頭列アドレスを指定するコラムアドレスが端子群22に与えられてもよい。

## 【0057】

端子群22には、上述のように、コマンド、セクタアドレス、コラムアドレスおよびデータが時分割的に与えられる。一方、リニアフラッシュメモリは、図7にそのピン配置を概略的に示すように、制御信号CATLを受ける制御信号端子群23と、アドレス信号ADを受けるアドレス信号端子群24と、書込／読出データDQを入出力する入出力データ端子群25を含む。アドレス信号ADと入出力データDQは別々の端子群を介して印加される。書込／消去動作は、データ入出力端子群25へ書込または消去コマンドを与えることにより実行される。このリニアフラッシュメモリにおいては、データ書込時、コマンドが与えられた後、アドレス信号と書込データが並列に与えられる。データ読出時には、アドレス信号を与え、制御信号を読出モード状態に設定することにより、アドレス信号に従ってデータが出力される。

## 【0058】

したがって、このリニアフラッシュメモリ11とファイルストレージ用フラッシュメモリ13とは、ピン配置が異なり、応じてバスの配置が異なり、またコマンドの印加方式も異なる。そこで、バス変換回路19により、バスの接続およびコマンドの変換を行なう。

## 【0059】

図8に示すように、バス変換回路18は、内部バス9に含まれる制御バス23a、アドレスバス24aおよびデータバス25aを、それぞれ、制御信号バス21aおよびデータ／アドレスバス22aに変換する。内部バス9において別々のバス24aおよび25aを介して伝達されるアドレス信号ADおよびデータDQが、ファイルストレージ用フラッシュメモリ13のピン配置に対応するため、アドレス／データバス22aに時分割的に結合する。制御バス23a上の制御信号CATLは、制御バス21a上に伝達される。

## 【0060】

このバス変換回路18を利用することにより、制御部8は、通常の、アドレスバスとデータ入出力バスとが別々に設けられるリニアフラッシュメモリおよびランダム・アクセス・メモリ12と同様の制御を行なってアクセスすることができる。このバス変換回路18は、バスの変換機能および、この時分割態様での信号のデータの送受信を実行する。このようなバス変換回路18を利用することにより、制御部8は、ファイルストレージ用フラッシュメモリ13のピン配置およびシリアルアクセスに基づく特異性をそれほど意識することなくファイルストレージ用フラッシュメモリ13にアクセスすることができる。すなわち、このファイルストレージ用フラッシュメモリ13を、たとえばHDD（ハードディスクドライブ）の標準インタフェース仕様であるATA（ATAアタッチメント（IDE（インテグレートッド・デバイス・エレクトロニクス）））インタフェースを有する記憶装置として制御することができる。

## 【0061】

なお、この場合、一般に普及しているバス変換回路のインタフェースとして、PCMCIA（パーソナル・コンピュータ・メモリ・カード・インターナショナル・アソシエーション）が策定したPCMCIA-ATA仕様が利用されてもよく、またさまざまなフラッシュEEPROM（フラッシュメモリ）に固有の書換アルゴリズムコードで構成されるソフトウェアモジュールであるMTD（メモリテクノロジードライバ）を用いてフラッシュメモリへのアクセスが行なわれてもよい。また、バス変換回路19がコマンドの変換機能を持ってもよい。リニ

アフラッシュメモリ利用時とファイルストレージ用フラッシュメモリ利用時の制御部 8 の動作上の差をできるだけなくし、制御部 8 の仕様変更（プログラムの変更）をできるだけ少なくする。

#### 【0062】

以上のように、この発明の実施の形態 2 に従えば、ファイルストレージ用フラッシュメモリと内部バスとの間に、バスの接続を変更するバス変換回路を設けているため、このファイルストレージ用フラッシュメモリの固有の特徴を意識することなく、制御部はファイルストレージ用フラッシュメモリへアクセスすることができ、フラッシュメモリ管理ソフトウェアを大幅に変更することなく、このファイルストレージ用フラッシュメモリへのアクセスが可能となる。

#### 【0063】

##### 〔実施の形態 3〕

図 9 は、この発明の実施の形態 3 に従う携帯電話の構成を概略的に示す図である。この図 9 に示す携帯電話においては、バス変換回路 19 およびファイルストレージ用フラッシュメモリ 13 がメモリカード 30 として一体化される。他の構成は、図 5 に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

#### 【0064】

このメモリカード 30 は、携帯電話と着脱可能であり、携帯電話の図示しないコネクタを介して内部バス 9 に結合される。図 10 に示すように、メモリカード 30 と携帯電話（内部バス 9）の間のインタフェース回路 31 を、PC カードスタンダード準拠またはより小型化されたコンパクトフラッシュ仕様準拠または、その他のより小型化されたカード仕様準拠とする。また、メモリカード 30 内に含まれるファイルストレージ用フラッシュメモリの格納データを、パーソナルコンピュータ等で一般的に使用されるファイルフォーマットとする。

#### 【0065】

図 11 は、制御部 8 のフラッシュメモリ管理ソフトウェアの構成を概略的に示す図である。インタフェース回路 31 を制御するフラッシュメモリ管理ソフトウェアは、データの入出力を制御するためのディスク・オペレーティング・システ

ム（DOS）と、ディスクのファイルのアドレス割当をテーブル形態で格納する DOS FAT ファイルシステム 3.3 を含む。

【0066】

この DOS FAT ファイルシステムは、ハードディスクなどのディスク装置のファイルのアドレスを管理する。この DOS FAT ファイルシステム 3.3 を利用して、メモリカード 30 のファイルストレージ用フラッシュメモリの格納データをファイル化する。

【0067】

すなわち、図 12 に示すように、インターネット接続時において受信データが、クラスタ #0、#1、#2、…の形で転送される（またはパケット形態であってもよい）。クラスタ #0、#1、#2、…に対し、それぞれファイル名および論理セクタアドレスを付す。このファイル名および論理セクタアドレスを、ファイルストレージ用フラッシュメモリのセクタアドレス（およびコラムアドレス）に対応させる。ファイルストレージ用フラッシュメモリ 13 においては、クラスタ単位でデータがセクタに対応づけて格納され、そのアドレス領域が、クラスタ単位でセクタアドレスと対応づけて DOS FAT ファイルシステム 3.3 により管理される。

【0068】

DOS FAT ファイルシステム 3.3 は、通常のパーソナルコンピュータにおいて利用される外部記憶装置に対するインタフェース仕様である。したがって、メモリカード 30 に対するインタフェース仕様を、ファイルフォーマット仕様として、ファイルストレージ用フラッシュメモリの記憶データを管理しているため、携帯電話で受信したインターネットのプロバイダから与えられる画像および音楽データを、パーソナルコンピュータなどの機器と送受信することができる。すなわち、パーソナルコンピュータにより、携帯電話により格納された画像または音楽データを取込み加工し、またパーソナルコンピュータによりダウンロードあるいは作成した画像および音楽データを、メモリカード 30 に格納し、この後に、メモリカード 30 を携帯電話装置に接続することにより、携帯電話により画像または音楽データの再生およびこれらのデータの転送を行なうことができる。

## 【0069】

なお、上述の実施例においては、DOS FATファイルシステム33が利用されているが、フラッシュメモリのための、フラッシュ用ファイルシステム（FFS）が用いられてもよく、またこのフラッシュ用ファイルシステムが前述のMTDと組合わせて用いられてもよい。

## 【0070】

なお、これらのフラッシュ管理用のソフトウェアは、インタフェース回路31に準備されず、カード接続時、制御部8がROM18からのルーチンに従ってフラッシュメモリ13から読出してランダム・アクセス・メモリ12に格納してもよい。

## 【0071】

## [変更例]

図13は、この発明の実施の形態3の変更例の構成を示す図である。この図13に示す構成においては、メモ리카ード35はファイルストレージ用フラッシュメモリ13のみを含む。メモ리카ード35は、バス変換回路19を含むアダプタ40を介して内部バス9に結合される。この場合、メモ리카ード35は、アダプタ40と着脱可能であり、またアダプタ40は、携帯電話本体に内蔵してもよく、また、携帯電話と着脱可能としてもよい。インタフェース仕様は、上で説明した構成と同じである。

## 【0072】

この図13に示す構成の場合、メモ리카ード35は、パーソナルコンピュータのスロットおよび携帯電話のスロット両者に適合させる必要はない。アダプタ40により、このメモ리카ード35のピン端子等の接続を調整し、パーソナルコンピュータなどの他の機器との互換性を維持する。パーソナルコンピュータの規格に合わせたメモ리카ード35を利用して、携帯電話をインターネットなどの携帯情報端末機器として利用することができる。

## 【0073】

以上のように、この発明の実施の形態3に従えば、ファイルストレージ用フラッシュメモリをメモ리카ードとして携帯電話と着脱可能とし、そのインタフェー

ス仕様を標準仕様に準拠させ、ファイルフォーマット化したデータを格納するように構成しているため、パーソナルコンピュータとのデータの送受も容易となり、より用途の広い情報携帯端末機器を実現することができる。

【0074】

〔実施の形態4〕

図14は、この発明の実施の形態4に従う携帯電話の構成を概略的に示す図である。この図14に示す構成においては、制御ユニット45は、MPUコア（制御部）8、バス変換回路19、ランダム・アクセス・メモリ12およびファイルストレージ用フラッシュメモリ13を一体的に含む。MPUコア8は、電源投入時の初期化動作を行なうルーチンを格納するリード・オンリ・メモリ（ROM）18を含む。

【0075】

この図14に示す構成においては、制御ユニット45は、MPUコア8、ランダム・アクセス・メモリ12およびファイルストレージ用フラッシュメモリ13を一体的に含んでおり、バス変換回路19およびランダム・アクセス・メモリ（RAM）12は、MPUコア8の内部バスに結合される。この場合、制御ユニット45は、図示しないインタフェース回路を介して内部バス9に結合される。したがって、制御ユニット45の占有面積を低減することができ、小型な携帯電話を実現することができる。

【0076】

この図14に示す構成において、制御ユニット45に、ファイルストレージ用フラッシュメモリ13およびランダム・アクセス・メモリ（RAM）12を含んでいるため、メモリ容量等の機能が不足することが考えられる。この場合、先の実施の形態1から3に示したように、内部バス9に不足する機能（メモリ等）を接続することにより、その機能不足を補うことができる。

【0077】

以上のように、この発明の実施の形態4に従えば、制御部を構成するMPUコア、ファイルストレージ用フラッシュメモリ13、バス変換回路19およびランダム・アクセス・メモリ12を一体的に構成しているため、占有面積を低減する

ことができ（またワンチップマイクロプロセサとして実現することができるため）、小型軽量の携帯電話を実現することができる。

【0078】

〔他の適用例〕

実施の形態 1 から 4 においては、制御部の命令メモリとして機能するランダム・アクセス・メモリ（RAM）はスタティック・ランダム・アクセス・メモリとして説明している。しかしながら、このランダム・アクセス・メモリ 12 としては、高速動作するたとえばクロック信号に同期して動作するダイナミック・ランダム・アクセス・メモリ（DRAM）を利用しても同様の効果を得ることができる。

【0079】

【発明の効果】

請求項 1 に係る発明に従えば、制御部用のプログラムおよび受信データを不揮発的に格納するためのファイルストレージ用フラッシュメモリを携帯電話のメモリとして利用しているため、音楽および映像画像データ等の大容量のデータを格納することができる。

【0080】

請求項 2 に係る発明に従えば、ファイルストレージ用フラッシュメモリを、携帯電話内部に設けているため、携帯電話本体そのものを、携帯情報端末機器としても利用することができる。

【0081】

請求項 3 に係る発明に従えば、ファイルストレージ用フラッシュメモリをバス変換機能を有するインタフェース回路を介して内部バスに接続しているため、シリアルアクセス性およびピン配置の相違などファイルストレージ用フラッシュメモリの固有の特徴を考慮することなく、制御用ソフトウェアおよびフラッシュメモリ管理用ソフトウェアを生成することができる。

【0082】

請求項 4 に係る発明に従えば、バス変換回路およびファイルストレージ用フラッシュメモリを携帯電話に着脱可能なメモリカードで構成しているため、パーソ

ナルコンピュータなどにより加工処理されたデータを再び携帯電話を介して転送することができ、情報端末機器としての用途を広くすることができる。

【0083】

請求項5に係る発明に従えば、ファイルストレージ用フラッシュメモリを、バス変換回路に着脱可能なメモリカードで構成しているため、このファイルストレージ用フラッシュメモリカードは、バス変換回路を内蔵する必要がなく、パーソナルコンピュータなどの外部記憶装置としても利用することができ、汎用性の高いメモリシステムを構築することができる。

【0084】

請求項6に係る発明に従えば、ファイルストレージ用フラッシュメモリ、ランダム・アクセス・メモリおよび要部を、制御ユニットとして一体化しているため、制御ユニットの面積を低減することができ、携帯電話を小型化することができる。また、CPUコア（MPUコア）の内部バス幅を携帯電話内の内部バス9のビット幅よりも大きくすることにより、処理能力を大幅に向上させることができる。

【図面の簡単な説明】

【図1】 ファイルストレージ用フラッシュメモリのメモリセル構造を概略的に示す図である。

【図2】 ファイルストレージ用フラッシュメモリの構成を概略的に示す図である。

【図3】 この発明の実施の形態1に従う携帯電話の構成を概略的に示す図である。

【図4】 図3に示すファイルストレージ用フラッシュメモリの記憶領域の構成を概略的に示す図である。

【図5】 この発明の実施の形態2に従う携帯電話の構成を概略的に示す図である。

【図6】 （A）は、ファイルストレージ用フラッシュメモリのピン配置を概略的に示し、（B）は、（A）に示す端子群22への信号の印加シーケンスを概略的に示す図である。

【図 7】 リニアフラッシュメモリのピン配置を概略的に示す図である。

【図 8】 図 4 に示すバス変換回路の機能を概略的に示す図である。

【図 9】 この発明の実施の形態 3 に従う携帯電話の構成を概略的に示す図である。

【図 10】 この発明の実施の形態 3 のカード接続の構成を概略的に示す図である。

【図 11】 図 10 に示すインタフェース回路の記憶する管理ソフトウェアの構成を概略的に示す図である。

【図 12】 図 11 に示す管理ソフトウェアのデータのファイル管理の構成を概略的に示す図である。

【図 13】 この発明の実施の形態 3 の変更例の携帯電話の構成を概略的に示す図である。

【図 14】 この発明の実施の形態 4 に従う携帯電話の構成を概略的に示す図である。

【図 15】 従来の携帯電話の構成を概略的に示す図である。

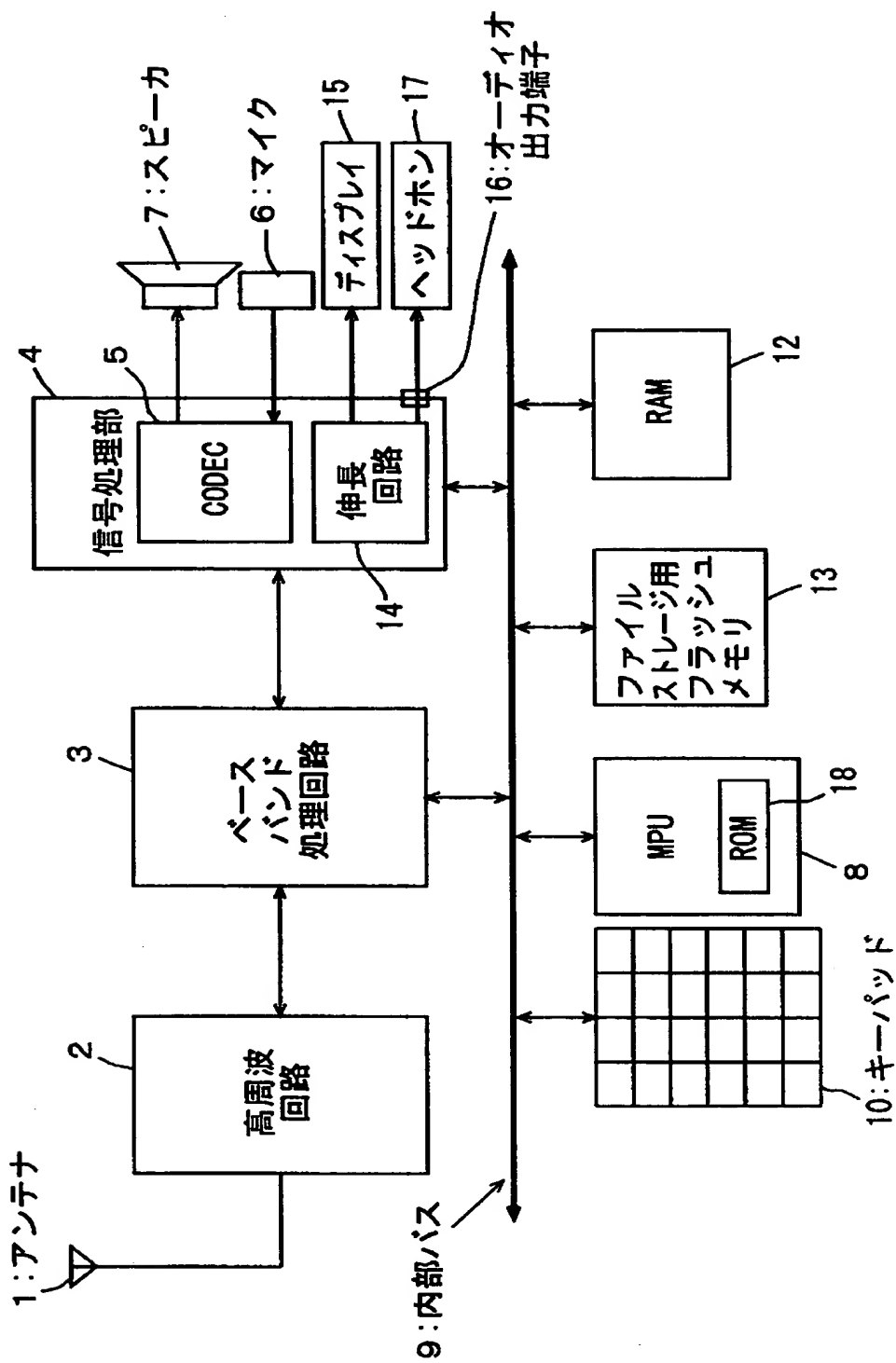
【図 16】 図 15 に示すリニアフラッシュメモリのメモリセル構造を概略的に示す図である。

#### 【符号の説明】

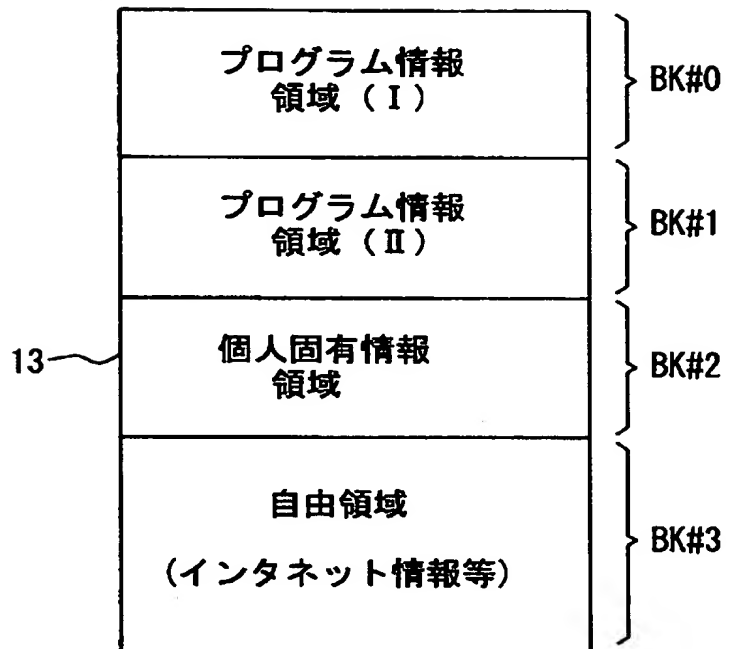
S#0-S#n セクタ、1 アンテナ、2 高周波回路、3 ベースバンド処理回路、4 信号処理部、5 符号／復号化回路、8 制御部、9 内部バス、10 キーパッド、12 ランダム・アクセス・メモリ、13 ファイルストレージ用フラッシュメモリ、14 伸長回路、19 バス変換回路、30, 35 メモリカード、40 インタフェース回路、45 制御ユニット。



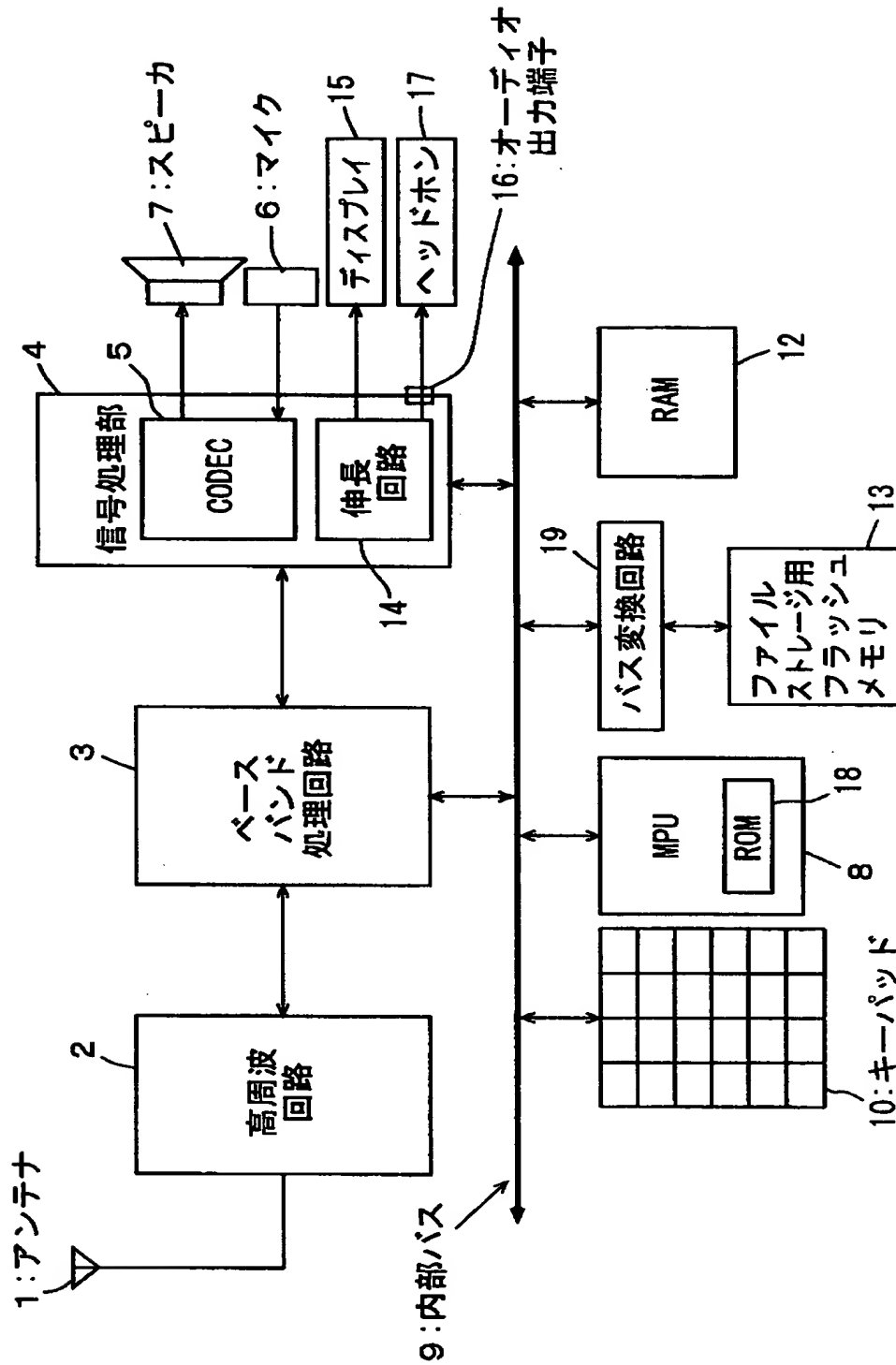
【図 3】



【図 4】

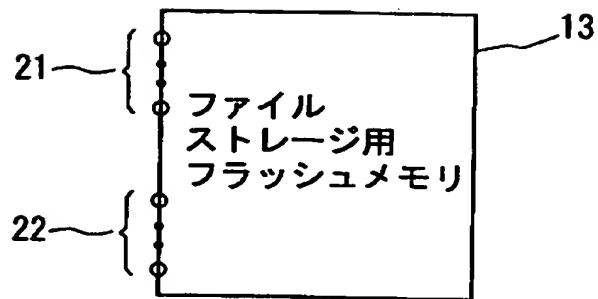


【図 5】

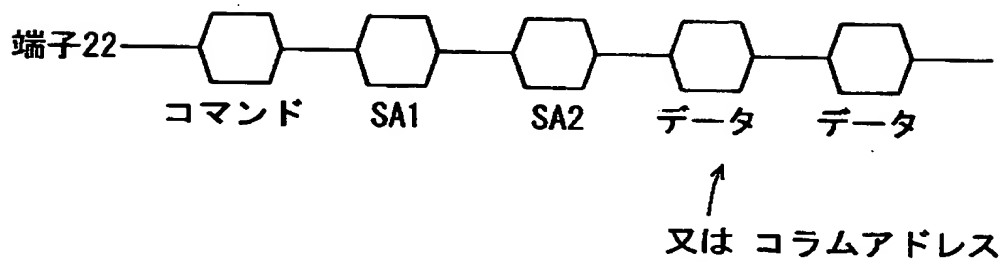


【図 6】

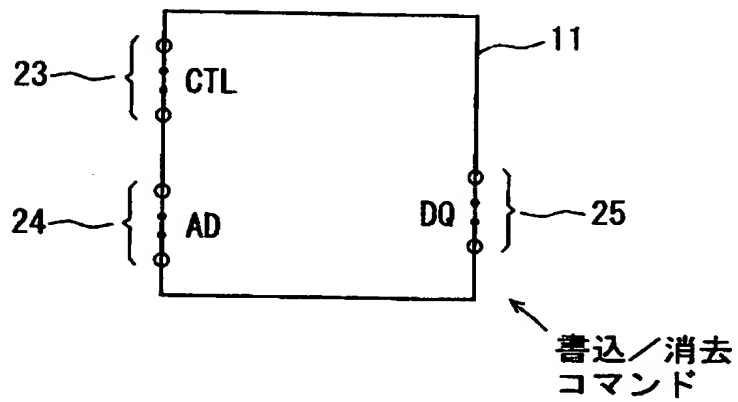
(A)



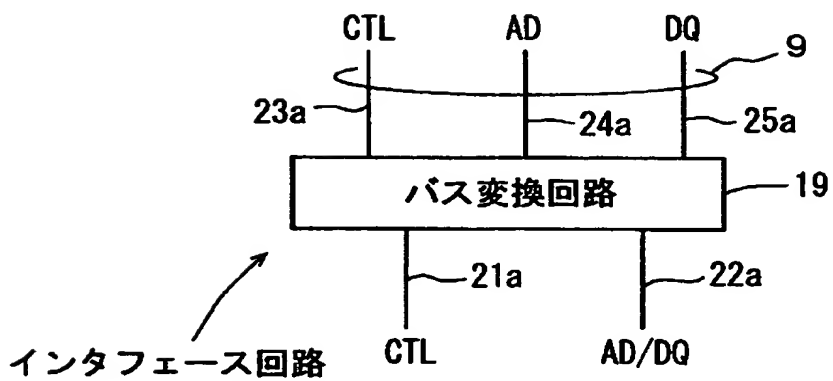
(B)



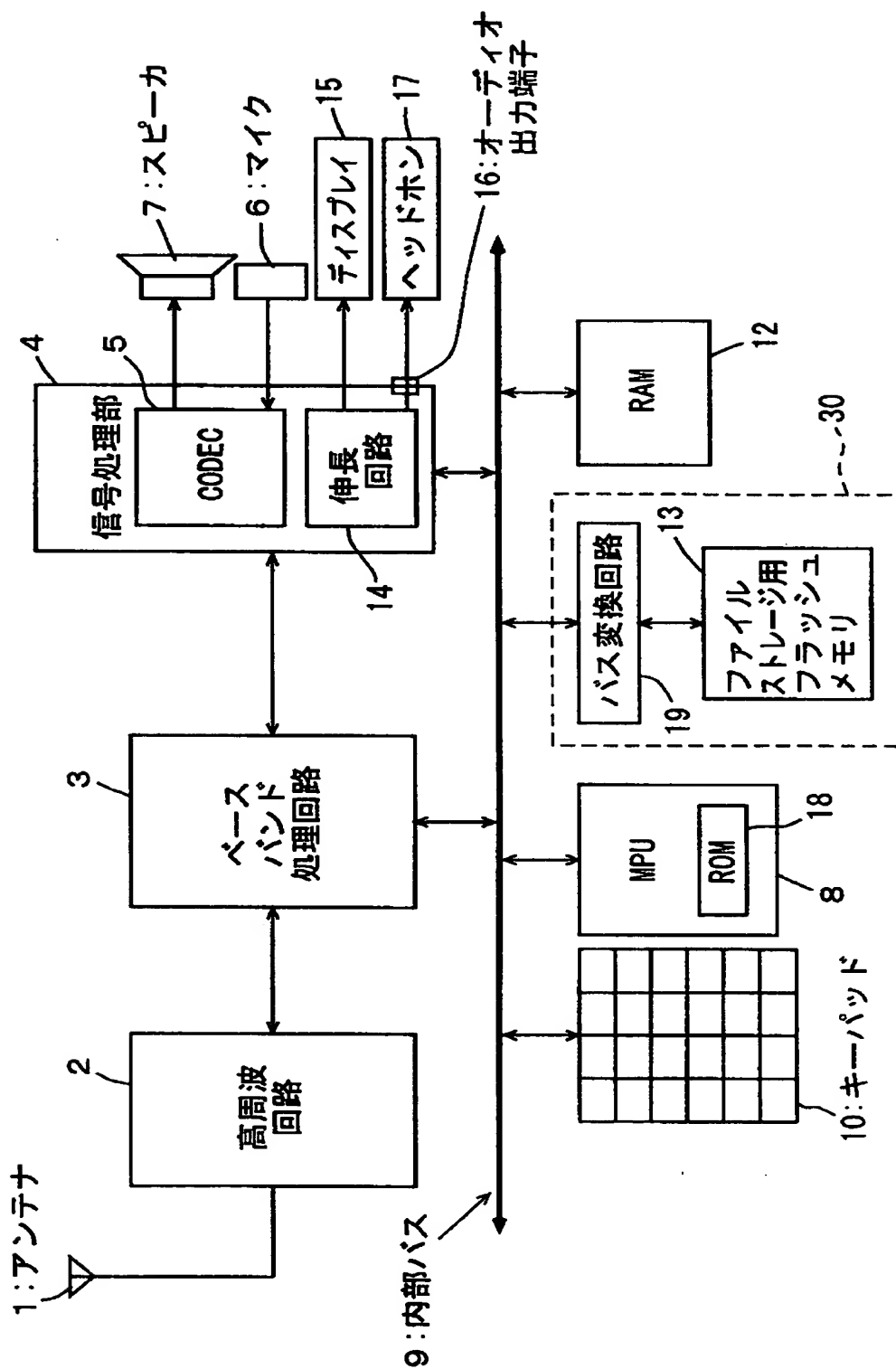
【図 7】



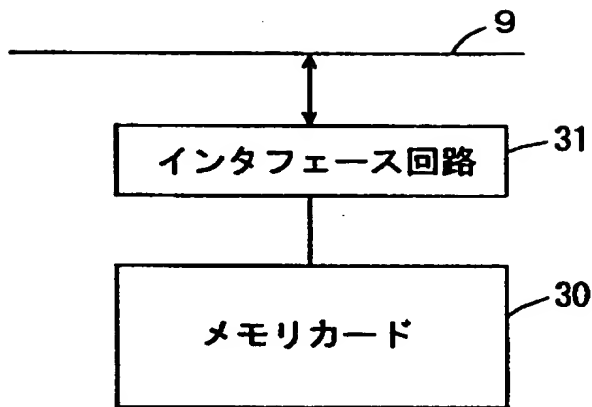
【図 8】



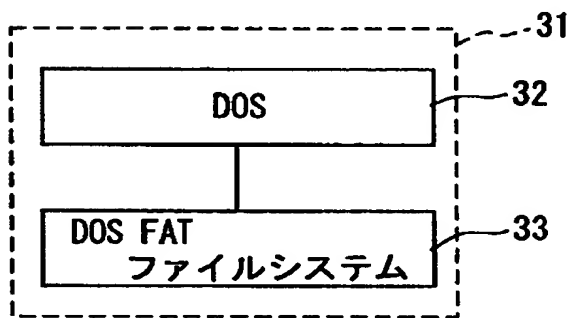
【図 9】



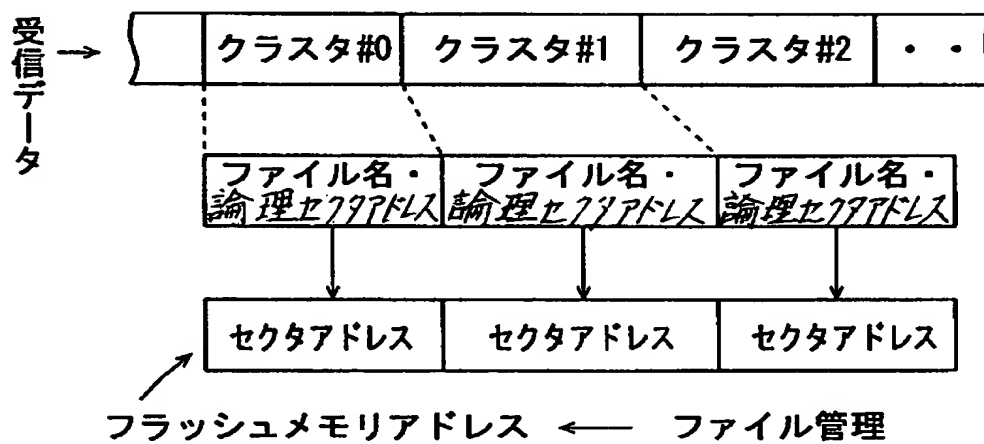
【図 10】



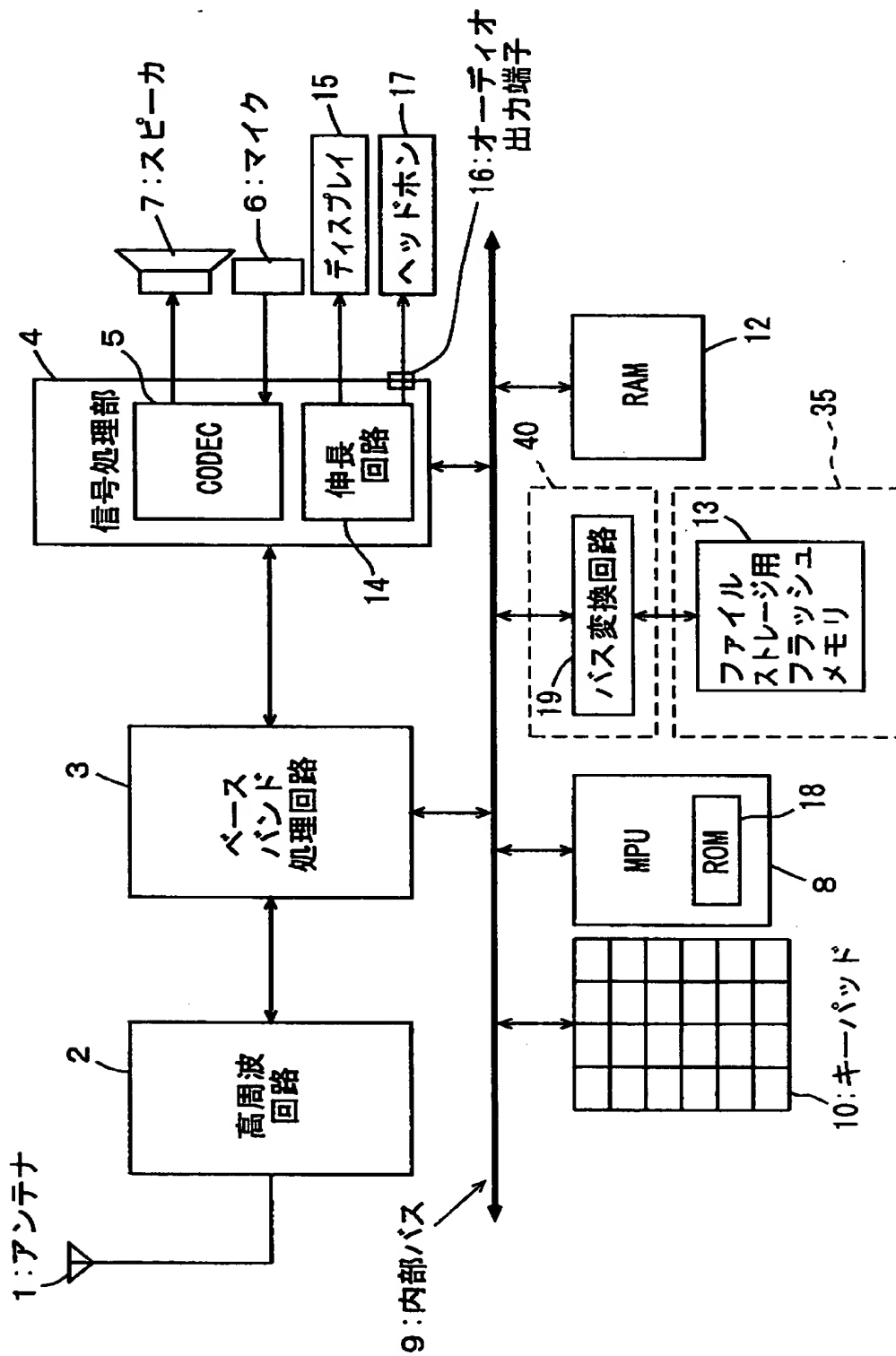
【図 11】



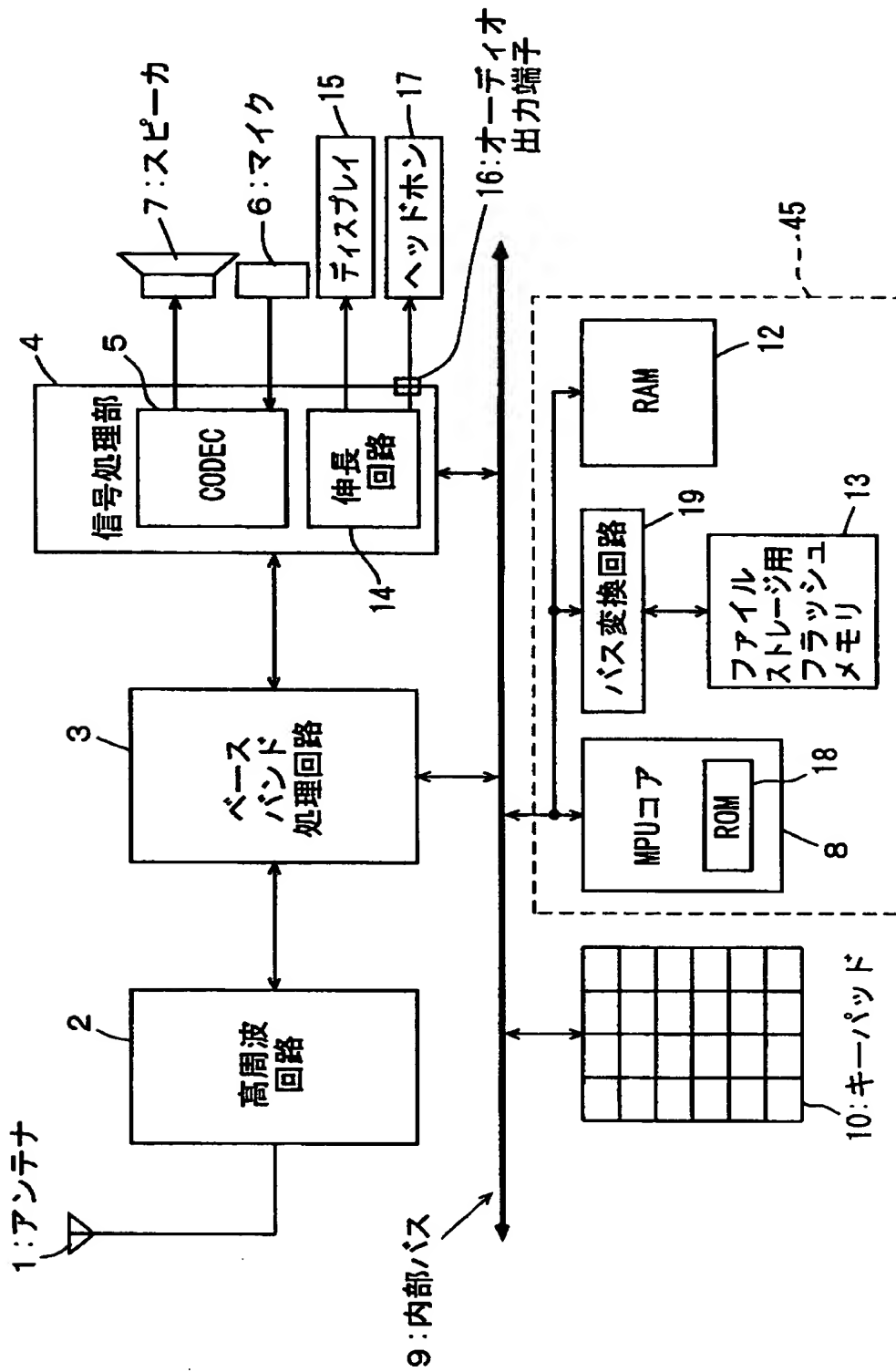
【図 12】



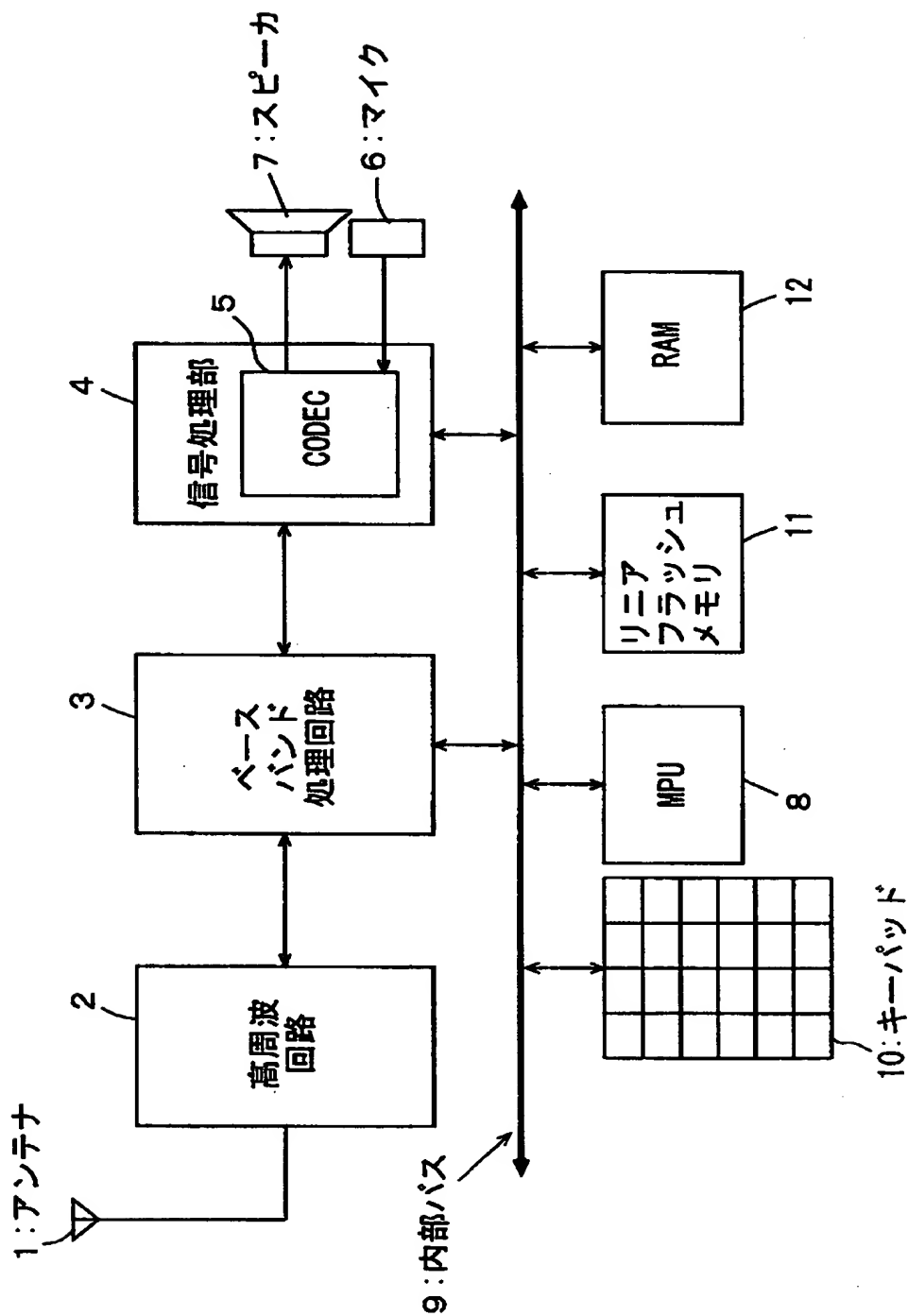
【図 13】



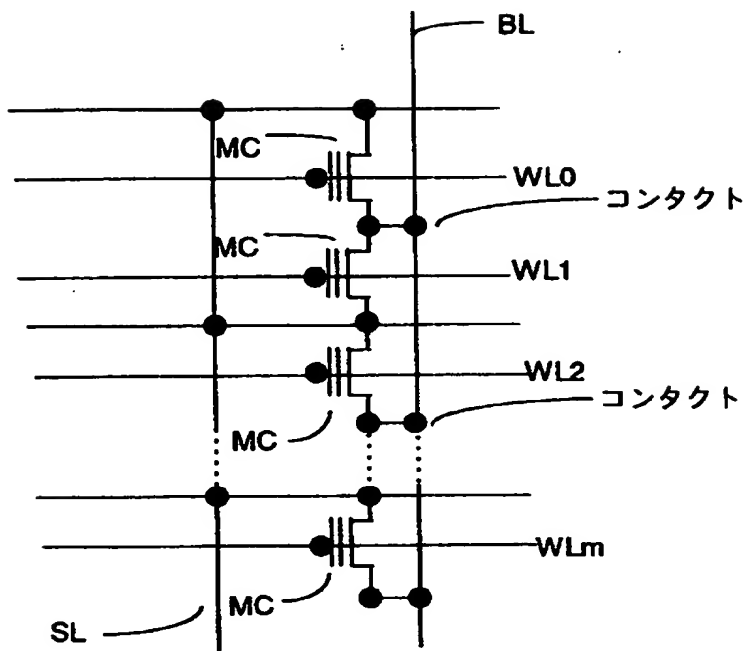
【図 14】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 高速で大容量の受信データを記憶しかつ読出すことのできる携帯電話用のメモリシステムを提供する。

【解決手段】 制御部（８）が必要とする制御プログラムおよび大容量のデータを格納するファイルストレージ用フラッシュメモリ（１３）と、この制御部が使用するプログラムを格納し、かつ受信データのバッファメモリとして機能するランダム・アクセス・メモリ（１２）とでメモリシステムを構築する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社